

First Hit

L9: Entry 14 of 36

File: JPAB

Mar 22, 1996

PUB-NO: JP408077096A
DOCUMENT-IDENTIFIER: JP 08077096 A
TITLE: INPUT/OUTPUT DEVICE

PUBN-DATE: March 22, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

OHASHI, MASAHIRO

KIYONARI, YOSHIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP06212350

APPL-DATE: September 6, 1994

INT-CL (IPC): G06 F 13/16; H04 L 13/08

ABSTRACT:

PURPOSE: To enable fast transfer to a clock synchronized storage device.

CONSTITUTION: This device is an input/output device which consists of a process pipeline 2 that rearranges data flowing through a transaction type bus so as to store the data in the clock synchronized storage device, a transfer FIFO 3 which temporarily stores the data and transfers the data fast to the clock synchronized type storage device, a synchronous DRAM 4 which stores the sent data, and a transaction controller 1 which analyzes the transaction codes of the data transferred through a transaction bus and controls a data processing part, a data transfer part, and the clock synchronized storage device, and then performs variable control or fixed control over the optimum length and speed of transfer to the clock synchronized storage device.

COPYRIGHT: (C)1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-77096

(43) 公開日 平成8年(1996)3月22日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/16	5 1 0 A	7623-5B		
H 0 4 L 13/08		9371-5K		

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平6-212350

(22) 出願日 平成6年(1994)9月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大橋 正博

茨城県勝田市大字市毛882番地 株式会社

日立製作所計測器事業部内

(72) 発明者 清成 能夫

茨城県勝田市大字市毛882番地 株式会社

日立製作所計測器事業部内

(74) 代理人 弁理士 小川 勝男

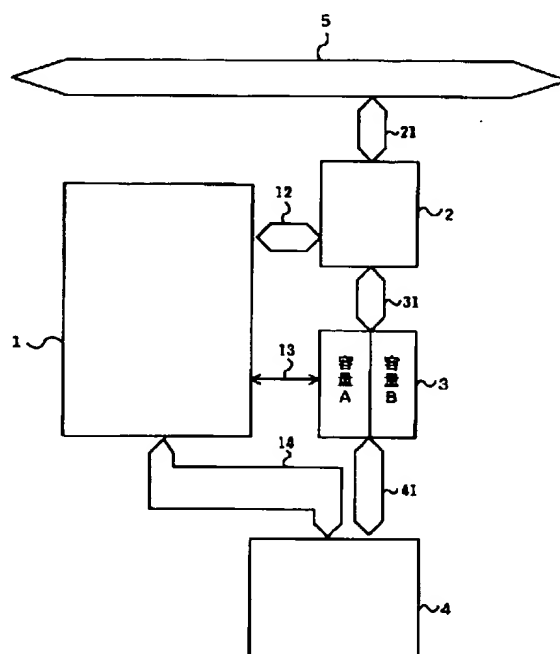
(54) 【発明の名称】 入出力装置

(57) 【要約】

【目的】 クロック同期型記憶装置への高速転送を可能とすることを目的とする。

【構成】 トランザクション型バスを流れているデータをクロック同期型記憶装置に格納するためにデータを整理する加工パイプライン2と、データを一時格納しクロック同期型記憶装置に高速転送する転送FIFO3と、送られてきたデータを格納するためのシンクロナスDRAM4と、トランザクション型バスに転送されているデータのトランザクションコードを解析し、データ加工部、データ転送部、クロック同期型記憶装置をコントロールするトランザクションコントローラ1からなり、クロック同期型記憶装置への最適な転送長、転送スピードを可変制御、又は固定制御する入出力装置。

図 1



1

【特許請求の範囲】

【請求項1】トランザクション型バスにおける入出力の方法において、

トランザクション型バスに流れているデータを、クロック同期型記憶装置へ格納するためにデータを整理するデータ加工部と、

データを一時格納しクロック同期型記憶装置に高速転送するデータ転送部と、

送られてきたデータを格納するためのクロック同期型記憶装置と、

トランザクション型バスに転送されるデータのトランザクションコードを解析し、データ加工部、データ転送部、クロック同期型記憶装置をコントロールするトランザクション・コントローラからなり、

上記トランザクション・コントローラにおいて、トランザクションコードの解析を行い、転送バイト数、リード/ライトを認識し、クロック同期型記憶装置への最適な転送長、転送スピードを可変制御することにより、クロック同期型記憶装置への高速転送を可能とすることを特徴とする入出力装置。

【請求項2】請求項1記載の入出力装置において、

上記トランザクション・コントローラにおいて、トランザクションコードを解析し、転送バイト数を認識し、データ加工部から転送されたデータを、最適な転送長に可変制御し、システムバスよりも高速な固定転送スピードで、転送することにより、クロック同期型記憶装置への高速転送を可能とすることを特徴とする入出力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、トランザクション型バス上を転送されるデータを、バス転送能力を低下させることなく高速に取り込み格納し、回路規模が小さく、比較的安価な素子を用いて構成できる入出力装置に関するものである。

【0002】

【従来の技術】従来の記憶装置への高速アクセスは、インターロック型バスの延長であり、ワンアクセスサイクルでの転送バイト数を認識することを行わないため、アクセスサイクル中に転送されるデータをすべて取り込む必要がある。また、アクセスサイクルが終了しないと、データを加工することができない。そのため、記憶装置を並列に並べて各記憶装置へのアクセス時間を長く取れるようにしたインターリーブ方式や、バスと記憶装置との間に高速な記憶装置であるキャッシュを組込むことにより、記憶装置へのアクセス回数を減らすキャッシュ方式が高速アクセスを実現する方式として使用されていた。しかし、インターリーブ方式では、記憶装置を並列に並べるため、周辺回路規模が大きくなり、またバス幅が増えキャッシュを用いる方法では、記憶装置とキャッシュとの整合性をとる回路が必要となり回路規模が大き

2

くなる。また、キャッシュミスヒット時には、主記憶装置にアクセスするためにウェイトを挿入しなければならない。

【0003】このように、従来の方式での記憶装置へのアクセスは、ウェイトを挿入して回路規模を小さくするか、回路規模を大きくしてノンウェイトを実現するか、高価な高速記憶装置を用いて、高速転送入出力装置を実現する必要があった。

【0004】

10 【発明が解決しようとする課題】上記従来技術で掲げたインターリーブ方式における、回路規模の縮小とノンウェイト動作、キャッシュを用いる方法における、ノンウェイト動作と安価な素子による回路実現の相反する目的を同時に満たすことができなかった。

【0005】本発明は、トランザクション型バスの特徴であるトランザクションサイクルに注目し、上記課題である回路規模の縮小、ノンウェイト動作を同時に可能にするとともに、安価な素子で実現できる方式を提供することにある。

20 【0006】

【課題を解決するための手段】トランザクション型バスにデータが送出された直後に、バスの特徴であるトランザクションコードをデコードすることにより、データ送出開始直後に、データ処理内容および転送バイト数を認識することができる。それにより、データ転送の最中に、クロック同期型記憶装置への転送バイト数および、転送クロックのセットを行うことができ、データ送出終了と同時に、バスクロックよりも高速な転送クロックでクロック同期型記憶装置にデータを転送することが可能となる。このようにして、上記目的は達成される。

【0007】

【作用】トランザクション型バス上にデータが転送されたとき、トランザクションコントローラがデータの先頭にあるトランザクション・コードをデコードすることにより、サイクル長、各サイクルの属性、転送バイト数、アドレス、リード/ライトの情報を認識することができる。この情報にしたがって、データ加工部が、有効データのみを取り込む。その間で、トランザクションコントローラが、クロック同期記憶装置のアクセス条件に必要な時間を割り出し、転送バイト数、転送クロックをコントロールする。データ加工部に取り込まれたデータをデータ転送部が受け、受け取りクロックよりも高速な転送クロックでクロック同期型記憶装置に高速転送することにより、ノンウェイト動作が可能となる。このように上記バスからのデータ入力直後に転送バイト数、転送クロックを設定することにより、また、クロック同期記憶装置への設定をデータ転送以前に可能とすることにより、バスにウェイトを挿入する必要が無くなり、対処可能となる。

50 【0008】

3

【実施例】以下に本発明の実施例を図1から図3により説明する。

【0009】実施例1

図1は、本発明をトランザクション型バスで転送される全データを制御信号も含めてトレースするバストレーサーの入力部に用いたものである。

【0010】トランザクション型バスは、図2の様にアドレス/データ信号、制御信号、また各サイクルは、制御サイクル、アドレスサイクル、そしてデータサイクルからなる。図1を用い動作概要を説明する。トランザクション型バス5にデータが転送されると、加工パイプライン2にデータが入力される。データの先頭サイクル、すなわち制御サイクルが入力されると、その情報が、トランザクションコントローラ1に入力される。トランザクションコントローラ1は、加工パイプライン2で行う制御データの整理処理を決定する。その信号は、加工パイプライン2に送られる。トランザクションコントローラ1が、制御データの整理処理を行っている間、トランザクション型バス上に転送されているデータは、加工パイプライン2の中のパイプライン中に、トランザクション型バス5のシステムクロックをトリガとして連続的に保持されていく。トランザクションコントローラ1からデータ加工部に制御信号が来ると、データ加工部は、バスクロックをトリガとして、シフト操作、パイプライン間ショートカット、1段パイプライン挿入を行い、データ中の制御サイクルを無くし、データサイクルのみに加工する。この時の制御サイクルの情報は、データサイクル中の制御信号の中にビット化して加えていく。これを図2を使って説明する。まず、最初のアクセスサイクルである、制御信号51から54中で、データサイクルは52と53のみである。制御信号51を制御信号52のサイクルにビット化して加えるために、52以降のパイプライン処理を一段ショートカットする。これにより、51と52とが同じパイプラインに入力される。この時に、制御信号51の情報が消えないように制御信号52中の制御信号で使用されていないビットに振り分ける。この処理は、パイプライン間の移動のときに、シフト操作を行うことにより実現される。また、同じ様にサイクルの制御信号54も、1段パイプラインをショートカットし、シフトすることにより、制御信号53に加えられる。この処理は、データがパイプラインからパイプラインにバスクロックをトリガとして移動する時に行われるために、トランザクション型バス5のデータを取りこぼすことなく行われる。

【0011】加工パイプライン2でのデータ加工が終了するまでの間、トランザクションコントローラ1は、転送FIFO3への制御データの処理を行う。転送FIFO3は、シンクロナスDRAM4のバースト転送長分の容量A、容量Bの2つを持っている。そのため、トランザクションコントローラ1は転送FIFO3の容量A、

4

容量Bのどちらを使用しているかの情報、使用バイト数の情報を持っている。そして、加工パイプライン2から転送されるデータを、制御サイクルのデコード結果をもとに、加工パイプラインがデータ加工処理中に、転送FIFO3中の容量A、容量Bのどちらに転送するかを設定する。また、設定した容量が、加工データを全て格納するだけの容量がない場合は、最初に設定されていた容量から、データが容量を越えた時点で、もう一方の容量に切り替える。その直後にシンクロナスDRAM4に対してバスクロックの2倍のクロックを使用して転送するために、シンクロナスDRAM4に対して転送前にアドレスを送出する処理を行う。この処理を実現するため、トランザクションコントローラは、転送FIFO3の状態を監視している。

【0012】加工パイプライン2から、加工データが転送FIFO3に流れると、あらかじめトランザクションコントローラ1から設定された容量の方に加工データが入力される。また、トランザクションコントローラ1の制御を受けて、バスクロックよりも高速なクロックで転送FIFO3から、シンクロナスDRAM4にバースト転送される。

【0013】本実施例によれば、トランザクション型バスに対してウェイトがかけられないバストレーサーでも有効に動作し、また、加工パイプライン処理中に転送FIFOの処理内容を設定すればいいため、比較的低速な素子を使用しても十分に対応できることとなる。

【0014】実施例2

図3は、本発明をトランザクション型バスに接続された主記憶に適用したものである。図3の動作概要を説明する。トランザクション型バス105は、制御・アドレスサイクル、データサイクルから成る。トランザクション型バス105にデータが転送されると、アドレスラッチ部102に入力される。このデータは、トランザクションコントローラ101に入力される。ここで、リード/ライト、データバイト数をデコードする。トランザクションコントローラは、アドレスラッチ部102からの入力があると、その以降のサイクルのデータ信号がアドレスラッチ部をバイパスするように制御をする。制御信号は、アドレスラッチ部をバイパスしない。

【0015】ライト動作の場合、転送パイプライン103中の2箇所の容量、容量Cと容量Dとで、空いているほうに、データが入力されるようにセットする。容量Cと容量Dは、トランザクション型バス105の最大転送バイト数分の容量を持っている。そして、この容量C、容量Dを持つ転送パイプライン103に、トランザクションコントローラ101によって制御されているトランザクション型バス105のバスクロックに同期して、データが入力される。このデータ数は、トランザクションコントローラ101がアドレスをラッチした時点で認識しているため、その時のデータ数に達すると、転送パイプ

5

ライン103へのクロック供給を止める。また、ウェイト信号がアサートされている場合も、クロック供給を止めデータを転送パイプライン103が取り込まないようにしている。

【0016】この動作と同時に、トランザクションコントローラは、クロック同期記憶装置への転送バイト数と、アドレスを、転送パイプライン103へのデータ転送が終了する以前に終了するようなクロックで、クロック同期記憶装置104へ転送する。また、ゲート106 10の入力が転送パイプライン103、出力がクロック同期記憶装置104となるように設定を行う。

【0017】転送パイプライン103がトランザクションコントローラに設定された転送バイト数に達すると、トランザクション型バス105のバスクロックよりも高速なクロックを使用して、クロック同期記憶装置に入力される。この時のクロックは、トランザクションコントローラによって制御される。このクロックは、アドレスと転送バイト数を転送したときのクロックと、必ずしも同じではない。

【0018】上記の様に、ライト操作が行われるため、トランザクション型バス105にウェイトを挿入する必要がない。

【0019】次に、リード操作を説明する。トランザクションコントローラ101は、転送バイト数とアドレスを、トランザクション型バスにウェイトをかけないように、また、データサイクルに入ると同時にデータ送出できるように、クロック同期記憶装置104にクロックを、信号線114を用いて供給する。これと同時に、ゲート106に対しては、入力を信号線、出力をトランザクション型バス105に設定し、アドレスラッチ部102 30に対しては、転送パイプライン103にデータが入力されないように設定を行う。トランザクション型バス105からのバスクロックを、トランザクションコントローラがカウントし、データサイクルに入ると同時にゲート106をオープンする。これによって、データをトランザクション型バス105に送出する。

【0020】また、同じアドレスをライトした後に、リードする場合、データはまだ転送パイプライン103に入っている。そのため、この様な場合のため、前回アク

6

セス時の情報をトランザクションコントローラ101が保持し、その情報と比較して、処理を変えるようにしている。同じである場合、トランザクションコントローラ101は、ゲート106に対し、入力を転送パイプライン103、出力にトランザクション型バス105に設定を行う。これと同時にアドレスラッチ部102に対し、転送パイプライン103にもデータをラッチするように設定をする。トランザクション型バス105のバスクロックを、トランザクションコントローラ101がカウントし、データサイクル時に、転送パイプライン103に対して、バスクロックを供給し、トランザクション型バス105と転送パイプライン103に対してデータを転送する。その処理が終了した後に、クロック同期型記憶装置に転送する。

【0021】

【発明の効果】本発明によれば、トランザクション型バスを用いた入出力をノンウェイトで行える上、トランザクションコントローラを比較的に安価な素子で構成できるため、トランザクション型バスの能力を最大に引き出し、低価格に抑えることができる。そのため、コンピュータシステム自体の性能を最大限に引き出すことが可能となる。

【図面の簡単な説明】

【図1】本発明によるバストレサの入出力部の一実施例を示すブロック図である。

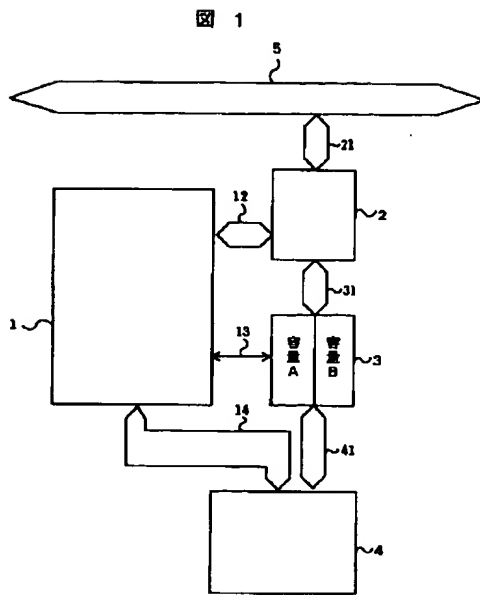
【図2】そのバストレサのタイムチャートである。

【図3】本発明による入出力装置の一実施例を示すブロック図である。

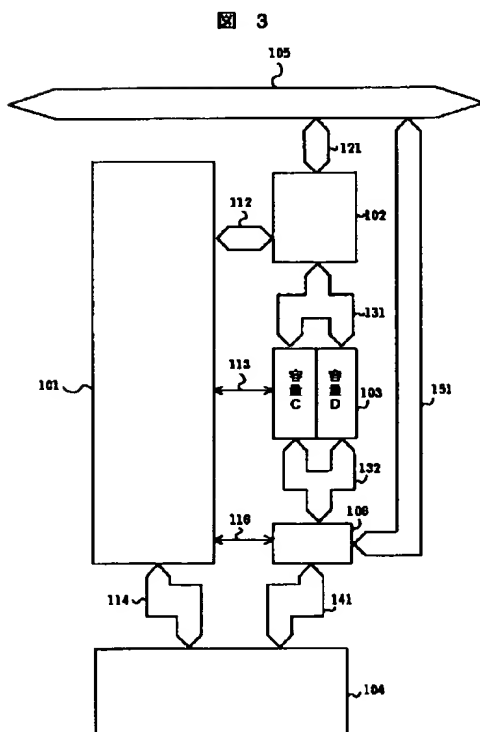
【符号の説明】

1, 101…トランザクションコントローラ、2…加工パイプライン、3…転送FIFO、4…シンクロナスDRAM、5, 105…トランザクション型バス、11…加工パイプライン制御信号線、12…転送FIFO制御信号線、13…シンクロナスDRAM制御信号線、21, 31, 41, 112, 113, 114, 116, 121, 131, 132, 141, 151…信号線、102…アドレスラッチ部、103…転送パイプライン、104…クロック同期記憶装置、106…ゲート。

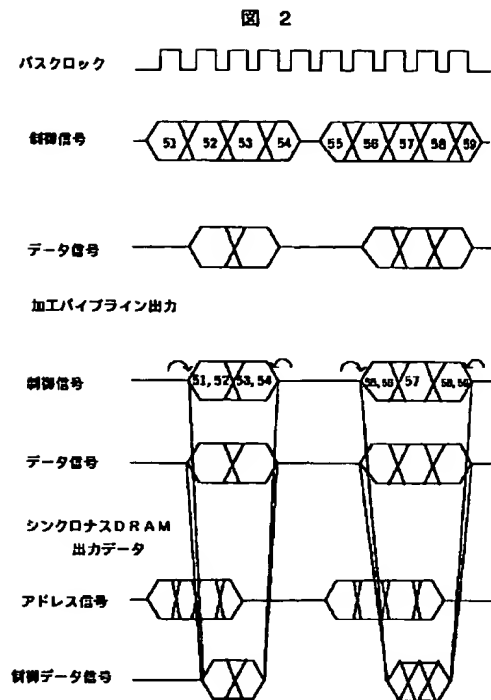
【図1】



【図3】



【図2】



Best Available Copy